

VALUABLE CAPACITANCE CIRCUIT, VALUABLE CAPACITANCE THIN FILM  
CAPACITOR AND RADIO FREQUENCY DEVICE

This application is based on application Nos. 2002-284377,  
2002-377404, 2002-346583, and 2002 377483 filed in Japan, the content  
5 of which is incorporated hereinto by reference.

BACKGROUND OF THE INVENTION

FIELD OF THE INVENTION

本発明は、直流バイアス電圧の印加により容量を大きく変化でき、高周波  
信号による容量の変化、ノイズ、非線形歪を小さく抑えることができる容量  
10 可変コンデンサ回路に関するものである。

また、本発明は、前記容量可変コンデンサ回路を支持基板上に形成した容  
量可変薄膜コンデンサに関するものである。

さらに、本発明は、前記容量可変薄膜コンデンサを用いた高周波用電圧制  
御型共振器、電圧制御型高周波フィルタ、電圧制御型整合回路素子、電圧制  
15 御型アンテナ共用器などの高周波部品に関するものである。

DESCRIPTION OF THE RELATED ART

従来、上下電極層および誘電体層が薄膜で形成された薄膜コンデンサがあ  
る。これは通常、電気絶縁性の支持基板上に薄膜状の下部電極層、誘電体層、  
上部電極層をこの順に積層したものである。このような薄膜コンデンサでは  
20 下部電極層、上部電極層が夫々スパッタ、真空蒸着などで形成されており、  
誘電体層もスパッタ、ソルゲル法等で形成されている。かかる薄膜コンデン  
サの製造では、通常以下のようにフォトリソグラフィの手法が用いられる。

まず、絶縁性支持基板上の全面に下部電極層となる導体層を形成した後、  
必要部のみをレジストで覆い、その後、ウェットエッチング又は、ドライエ  
25 ッチングで不要部を除去して、所定形状の下部電極層を形成する。次に、支  
持基板上に薄膜誘電体層となる誘電体層を全面に形成し、下部電極層同様に、  
不要部を除去して所定形状の薄膜誘電体層を形成する。最後に上部電極層と  
なる導体層を全面に形成し、不要部を除去して所定形状の上部電極層を形成  
する。また、それらの上に保護層やハンダ端了部を形成する。これにより、

薄膜コンデンサを基板上に表面実装することが可能になる。

- 前記薄膜誘電体層の材料として、 $(Ba_xSr_{1-x})Ti_yO_{3-z}$ を用いて、上部電極層と下部電極層との間に所定バイアス電位を与え、誘電体層の誘電率を変化させて、薄膜コンデンサの容量を変化させる容量可変薄膜コンデンサも知られており、前記と同様な構造である。容量可変薄膜コンデンサは、例えば特許文献1（特開平11-260667号）に開示されている。

容量可変薄膜コンデンサでは直流バイアスを印加することで誘電率が変化し、その結果として容量が変化する。容量の変化は高周波領域にも及び、高周波でも容量可変薄膜コンデンサとして利用可能となる。

- この様な高周波での容量可変薄膜コンデンサの容量変化を利用して、直流バイアスの印加により周波数特性を変化できる電子部品が得られる。例えば、上述の容量可変薄膜コンデンサと薄膜インダクタを組み合わせた電圧制御型薄膜共振器では、直流バイアスの印加により共振周波数を変化させることができる。また、容量可変薄膜コンデンサまたは電圧制御型薄膜共振器と、薄膜インダクタ、薄膜キャパシタを組み合わせた電圧制御型薄膜帯域通過フィルタでは、直流バイアスの印加により通過帯域を変化させることができる。マイクロ波用の電圧制御型電子部品に関しては例えば特許文献2（特表平8-509103号）に開示されている。

- 上述の様な容量可変薄膜コンデンサを高周波用電子部品に用いる場合、容量可変薄膜コンデンサには、容量可変用の直流バイアス電圧と高周波信号の電圧（高周波電圧）が同時に印加されることになる。高周波電圧が高い場合は高周波電圧によっても容量可変薄膜コンデンサの容量が変化するようになる。この様な容量可変薄膜コンデンサを高周波用電子部品に用いると、高周波電圧によるコンデンサの容量変化のため波形歪、相互変調歪みノイズが生じるようになる。

波形歪、相互変調歪みノイズを小さくするためには、高周波電界強度を下げ高周波電圧による容量変化を小さくする必要があり、その為には誘電体層の厚みを厚くすることが有効であるが、誘電体層の厚みを厚くすると直流電界強度も小さくなるため容量変化率も下がってしまう問題がある。

また、高周波ではコンデンサには電流が流れやすくなるため、コンデンサを高周波で使用中にはコンデンサの損失抵抗によりコンデンサが発熱し破壊してしまう。この様な耐電力の問題に対しても誘電体の厚みを厚くし、単位体積当たりの発熱量を小さくすることが有効であるが、前述のように誘電体層の厚みを厚くすると直流電界強度も小さくなるため直流バイアスによる容量変化率も下がってしまう問題がある。

また、薄膜コンデンサを作製する際には、通常、下部電極、薄膜誘電体層、上部電極の他に、保護層や半田拡散防止層など、他の機能を担う層を順次被着していく。しかし、層の数が多くなればなるほど、フォトリソグラフィでの位置ずれ、エッチングの際の下層へのダメージといった問題の他、層の数が増えることで応力が増大し、結果、膜にクラックが生じるなど、特性不良や信頼性が低下してしまうという問題点がある。

本発明の目的は、高周波信号による容量変化が小さく、かつ、直流バイアスによる容量変化は大きい容量可変コンデンサ回路および容量可変薄膜コンデンサ素子を提供することにある。

本発明の他の目的は、高周波信号による容量変化が小さく、かつ、直流バイアスによる容量変化は大きく、バイアスラインのような新たな構成要素が付加されても素子の大きさを維持するとともに、順次被着される薄膜の層の数を少なくし、素子の小型集積化に有効であり、なおかつ特性不良や信頼性の低下を抑制する容量可変薄膜コンデンサを提供することにある。

本発明のさらに他の目的は、上述の容量可変薄膜コンデンサ素子を用いて、相互変調歪みが小さく、耐電力に優れた高周波用電圧制御型薄膜共振器、電圧制御型薄膜高周波フィルタ、電圧制御型整合回路素子および電圧制御型薄膜アンテナ共用器などの高周波部品を提供することにある。

## BRIEF SUMMARY OF THE INVENTION

本発明の容量可変コンデンサ回路は、入力端子と出力端子との間に、印加電圧値によって容量が変化する第1乃至第Nの可変容量素子が順次直列接続され、前記第1の可変容量素子の入力端子部と、第2iの可変容量素子及び第2i+1の可変容量素子の各接続点との間に、第1の入力端子側バイアス

ラインが設けられ、かつ前記第 $N$ の可変容量素子の出力端子部と、第 $2i-1$ の可変容量素子及び第 $2i$ の可変容量素子の各接続点との間に、第 $i$ の出力端子側バイアスラインが設けられたものである。ただし、 $N$ 、 $i$ は整数であり、 $N=2n+1$ 、 $n \geq 1$ 、 $1 \leq i \leq n$ を満たす。前記「第 $2i$ の」という表記は、「 $2*i$ 番目の」という意味であり、「第 $2i-1$ の」という表記は、「 $(2*i-1)$ 番目の」という意味であり、「第 $2i+1$ の」という表記は、「 $(2*i+1)$ 番目の」という意味である。ただし“\*”は掛け算を示す。

本発明の容量可変コンデンサ回路によれば、第 $i$ の入力端子側バイアスライン及び第 $i$ の出力端子側バイアスラインを設けることにより、各可変容量素子同士の接続点に、第 $i$ の入力端子側バイアスライン及び第 $i$ の出力端子側バイアスラインにより交互に直流バイアスが供給される。このため、接続された全ての可変容量素子に直流バイアスを独立に、安定かつ均一に供給することができ、直流バイアスの変化による可変容量素子の容量変化率を最大限に利用できる。また、使用周波数において、可変容量素子に印加される高周波電圧は、バイアスラインの影響をあまり受けずに、個々の可変容量素子に印加される。これにより、高周波電圧による可変容量素子の容量の変化を小さく出来る。したがって、高周波信号による容量の変化、ノイズ、相互変調歪み、非線形歪みを小さく抑えることができる容量可変コンデンサ回路となる。

前記第 $i$ の入力端子側バイアスライン及び第 $i$ の出力端子側バイアスラインが、抵抗成分及び/またはインダクタ成分を含む回路であれば、バイアスラインに高周波信号が入り込むことは少なく、また、直流電流は可変容量素子をあまり流れずにバイアスラインを主に流れるため、高周波領域では直列接続された可変容量素子とみなし、直流領域ではバイアスラインによって並列接続された可変容量素子とみなすことが出来る。

前記「高周波領域では直列接続された可変容量素子で、直流領域ではバイアスラインによって並列接続された可変容量素子とみなす」ためには、前記第 $i$ の入力端子側バイアスライン又は第 $i$ の出力端子側バイアスラインのインピーダンスは、すべてのバイアスラインが無いとした場合に、直列接続さ

れた第1乃至第Nのいずれかの可変容量素子にかかる分圧された直流電圧が、バイアスラインがあるとした場合に、当該バイアスラインを経由して、第1乃至第Nのいずれかの可変容量素子にかかる分圧された直流電圧よりも小さくなるように選ばれていることが好ましい。また、前記第iの入力端子側バイアスライン又は第iの出力端子側バイアスラインのそれぞれのインピーダンスは、使用する高周波の周波数で、当該バイアスラインに並列接続されている可変容量素子の合成インピーダンスよりも大きくなるように選ばれていることが好ましい。

前記入力端子は、高周波信号の信号入力端子と直流バイアスの供給端子とを共通化できるので、コンデンサ回路としての取り扱いが容易になる。また、従来の容量可変コンデンサ回路を、当該容量可変コンデンサが利用される回路に変更を加えることなく、本発明の容量可変コンデンサ回路と単純に置き換えることができる。

前記入出力端子間に、直列接続された前記第1乃至第Nの可変容量素子が複数群配置されており、前記第1の入力端子側バイアスライン及び第iの出力端子側バイアスラインを、各群に対して夫々設けることもできる。

また、容量可変薄膜コンデンサ素子は、支持基板上に、印加電圧により容量が変化し、かつ直列接続してなる第1乃至第Nの可変容量素子が設置され、前記第1の可変容量素子の入力端子部と、第2iの可変容量素子及び第2i+1の可変容量素子の各接続点と間に第iの入力端子側バイアスラインが設けられ、前記第Nの可変容量素子の出力端子部と、第2i-1の可変容量素子及び第2iの可変容量素子の各接続点との間に第iの出力端子側バイアスラインが設けられたものである。ただし、N、iは整数であり、 $N = 2n + 1$ 、 $n \geq 1$ 、 $1 \leq i \leq n$ を満たす。

この容量可変薄膜コンデンサ素子は、上述の容量可変コンデンサ回路を現実の素子にしたものである。これにより、取り扱いに容易で、バイアス変化により容量を大きく変化できるが、高周波信号による容量の変化、ノイズ、非線形歪みは小さく抑えることができ、耐電力に優れた容量可変薄膜コンデンサ素子とすることができる。

前記可変容量素子は、支持基板上に、下部電極層、薄膜誘電体層、上部電極層を順次被着してなる。このことにより、各可変容量素子の容量を直流バイアスの印加により大きく変化させることができる。

前記薄膜誘電体層が  $(\text{Ba}_x\text{Sr}_{1-x})\text{Ti}_y\text{O}_{3-z}$  からなるものであれば、可変容量素子の容量変化率が大きく損失が小さい容量可変コンデンサ素子を作製することが出来る。

前記バイアスラインは、絶縁膜を介して、前記直列接続された容量可変薄膜コンデンサ上に形成してもよく、支持基板上に直接形成してもよい。

前記バイアスラインが絶縁膜を介して、容量可変薄膜コンデンサ上に形成されている場合は、素子面積を小さく出来、素子の小型化、低価格化に役立つ。支持基板上に直接形成すれば、直列接続された容量可変素子に設けられる際に必要な絶縁膜が不要となり、素子を構成する層の数を低減し、膜のクラックなどによる特性不良、信頼性の低さを抑制することができる。

前記バイアスラインを直線状、ループ状、ミアンダ状あるいはスパイラル状とすることによりバイアスラインにインダクタンス成分を具備させることができ、抵抗成分とした時と同様の効果が得られる。

前記バイアスラインの全てまたは一部の材質としては、Ni-Cr合金あるいはFe-Cr-Al合金などの高抵抗合金、Au、Ptなどの貴金属、Ni、Fe等の強磁性体、酸化物導電体、窒化物導電体または半導体などがあげられる。

Ni-Cr合金あるいはFe-Cr-Al合金などの高抵抗の合金薄膜を用いることで、短い抵抗線でも高抵抗が達成できる。

Au、Ptなどの貴金属を使用した場合、金属薄膜をスパッタ法などでごく薄く成膜した場合、完全な膜にはならず、微小な島状の金属塊からなる膜の黒い膜になり抵抗値が急激に高くなる。この性質を用いて、抵抗率の小さな貴金属類を用いることで、高抵抗で耐酸化性に優れた抵抗成分を有する導体膜が得られる。

また、Ni、Fe等の強磁性体を使用すれば、強磁性体では透磁率 $\mu$ が大きいため、 $\delta = 1/\sqrt{\pi f \mu \sigma}$ で表わされる表皮深さが常磁性体よりも

小さくなる傾向がある（ただし、 $f$ は周波数、 $\mu$ は誘磁率、 $\sigma$ は伝導率である。）このため、機械的に安定な厚みの膜を作製しても、高周波では表皮深さが薄くなり、抵抗が高くなるため高抵抗の膜を作製できる。

- 5 酸化物伝導体、窒化物導伝体または半導体を使用すれば、絶縁層または支持基板との密着性の良いバイアスラインを作製することができる。

- 前記バイアスラインは、全部又はその少なくとも一部に薄膜抵抗を含むものであってもよい。また前記バイアスラインは、導体ラインと薄膜抵抗とから成るものであってもよい。薄膜抵抗の抵抗値は、導体の抵抗値に比して非常に高くできるため、バイアスラインの抵抗は薄膜抵抗の抵抗値ではば決まるようになる。薄膜抵抗は、その膜厚ならびにアスペクト比を全てのバイアスラインにおいて同一にすることにより抵抗値を等しくすることができる。従って、全てのバイアスラインの抵抗値を等しくすることができ、容量可変薄膜コンデンサ素子のインピーダンスなどの電気特性を均一にすることができる。さらに、バイアスライン全体が高抵抗となるため、アスペクト比（バイアスラインの長さ／幅）を小さく保つことができる。従って、新たにバイアスラインを設けても素子の大きさを小さく維持できるため、素子の小型化、高集積化に有効である。
- 10
- 15

- 前記薄膜抵抗は、タンタルを含有しかつ比抵抗が $1\text{ m}\Omega\text{ cm}$ 以上であることが好ましい。タンタルを含有することにより、窒化タンタルや $\text{TaSiN}$ 、 $\text{Ta-Si-O}$ などの高抵抗の薄膜抵抗を簡便に得ることができる。
- 20

また、前記薄膜抵抗の膜厚を $40\text{ nm}$ 以上とすることにより、高抵抗の薄膜抵抗を再現性よく作製することができる。

- また、前記薄膜抵抗を窒化タンタルとすることにより、比抵抗が高く、経時的にも安定した薄膜抵抗が作製できるので、素子の小型化、信頼性の向上に有効である。
- 25

また、前記薄膜抵抗を、 $\text{Au}$ 、 $\text{Pt}$ などの貴金属薄膜とすれば、貴金属薄膜を極めて薄い膜にした場合、完全な膜にはならず、微小な島状の金属塊からなる膜になり、膜厚の減少に伴って抵抗値が急激に増加することが知られている。この性質により、抵抗率の小さな貴金属類を用いることで、高抵抗

で耐酸化性に優れた薄膜抵抗、バイアスラインを得ることができる。

また、前記薄膜抵抗は、Ni、Fe等の強磁性体薄膜からなっていれば、強磁性体は透磁率が大きいため、表皮深さが常磁性体よりも小さくなる傾向がある。従って、機械的に安定な厚い膜を作製しても、高周波では表皮深さが薄くなり、抵抗が高くなるため高抵抗の薄膜抵抗を作製できる。

前記薄膜抵抗は、Ni-Cr合金あるいはFe-Cr-Al合金などの高抵抗の合金薄膜を用いることで、比較的短い抵抗線でも高抵抗が達成できる。

また、前記薄膜抵抗を酸化物導電体、窒化物導電体または半導体のいずれかとするにより、支持基板との密着性のよい薄膜抵抗を作製することができる。

前記バイアスラインは、窒化ケイ素および酸化ケイ素の少なくとも1種類よりなる保護膜で被覆されていれば、薄膜抵抗が酸化されるのを防止できるため、バイアスラインの抵抗値を経時的に一定値とすることができ、信頼性が向上する。さらには耐湿性も確保できる。

さらに、前記容量可変薄膜コンデンサ素子は、共振回路の一部として、及び/又は複数の共振回路を接合する容量素子として用いることができる。

これによれば、高周波領域では直列接続され、直流領域では並列接続された、温度特性の良い容量可変薄膜コンデンサ素子を用いて高周波用電圧制御型共振回路を作製することができる。また、波形歪、相互変調歪みノイズが小さく、耐電力に優れた高周波部品、例えば電圧制御型高周波フィルタ、電圧制御型整合回路素子、電圧制御型アンテナ共用器などを実現することができる。

#### BRIEF DESCRIPTION OF THE DRAWINGS

図1は、本発明の第1の実施形態にかかる容量可変コンデンサ回路の回路図である。

図2は、前記容量可変コンデンサ回路のコンデンサ素子を抵抗成分に置き換えた直流等価回路図である。

図3は、容量可変薄膜コンデンサ素子の平面図である。

図4は、図3のA-A'線の断面図である。



図5は、第1の実施形態にかかる他の容量可変コンデンサ回路の回路図である。

図6は、図5の回路図のコンデンサ素子を抵抗成分に置き換えた直流等価回路図である。

5 図7は、容量可変薄膜コンデンサ素子を示す平面図である。

図8は、図7のB-B'線における断面図である。

図9は、実施例にかかる容量可変コンデンサ回路のインピーダンス特性図である。

10 図10は、実施例にかかる他の容量可変コンデンサ回路のインピーダンス特性図である。

図11は、本発明の第2の実施形態にかかる容量可変薄膜コンデンサの平面図である。

図12は、図11のC-C'線の断面図である。

図13は、図11のD-D'線の断面図である。

15 図14は、容量可変薄膜コンデンサのコンデンサ素子を抵抗に置き換えた直流等価回路である。

図15は、容量可変薄膜コンデンサのインピーダンスならびに位相特性図である。

図16は、容量可変薄膜コンデンサの容量特性図である。

20 図17は、比較例のインピーダンスならびに位相特性図である。

図18は、比較例の容量特性図である。

図19は、第2の実施形態にかかる他の容量可変薄膜コンデンサの平面図である。

図20は、前記容量可変薄膜コンデンサの作製途中段階での平面図である。

25 図21は、図19のE-E'線の断面図である。

図22は、図19のF-F'線の断面図である。

図23は、図19のG-G'線の断面図である。

図24は、容量可変薄膜コンデンサのインピーダンスならびに位相特性図である。

図 25 は、容量可変薄膜コンデンサの容量特性図である。

図 26 は、比較例のインピーダンスならびに位相特性図である。

図 27 は、比較例の容量特性図である。

#### DETAILED DESCRIPTION OF THE INVENTION

- 5      以下、本発明の容量可変コンデンサ回路、容量可変薄膜コンデンサ素子及び高周部品を図面に基づいて説明する。

##### —第 1 の実施形態—

- 図 1 は本発明の第 1 の実施形態に係る容量可変コンデンサ回路を示す回路図である。図 1 は 3 個の可変容量素子 C1 ~ C3 (第 1 の可変容量素子 C1、  
10    第 2 の可変容量素子 C2、第 3 の可変容量素子 C3) を直列に接続したものであり、さらに、抵抗成分またはインダクタンス成分 (図 1 では、抵抗成分 R1、R2 を示す) を有する第 1 及び第 2 バイアスライン V1、V2 を接続している。さらに、第 1 の可変容量素子 C1 の前段に入力端子 I が設けられ、第 3 の可変容量素子 C3 の後段に出力端子 O が設けられている。これらの入  
15    出力端子 I、O は、高周波信号の入出力端子と、直流バイアス電圧を印加するための印加端子とを兼用している。

- 詳しく説明すると、第 1 の可変容量素子 C1 の入力端部 A1 と、第 2 の可変容量素子 C2 及び第 3 の可変容量素子 C3 の接続点 A2 との間に、抵抗成分 R1 を有する第 1 のバイアスライン V1 を設けている。また、前記第 1 の可  
20    変容量素子 C1 及び第 2 の可変容量素子 C2 の接続点 B1 と、第 3 の可変容量素子 C3 の出力端部 B2 との間に、抵抗成分 R2 を有する第 2 のバイアスライン V2 を設けている。

- ここで、第 1 のバイアスライン V1、第 2 のバイアスライン V2 の抵抗成分 R1、R2 は、高周波信号の周波数領域で、可変容量素子 C1 ~ C3 を直  
25    列に接続した信号線のインピーダンスよりも大きな抵抗を有している。高周波信号は直列に接続した可変容量素子 C1 ~ C3 を通り、直流バイアスはバイアスラインを経由して、各可変容量素子 C1 ~ 3 に別々に印加されことになる。

第 1 のバイアスライン V1 及び第 2 のバイアスライン V2 の抵抗成分 R1、

R2が小さすぎると、高周波信号も第1のバイアスラインV1、第2のバイアスラインV2を流れ込むことになり、高周波信号に対する容量変化が大きくなり、容量可変コンデンサ回路のQが低下する。また、抵抗成分R1、R2が大きすぎると時定数が大きくなり、直流バイアス印加後、容量変化が一定になるまでに多くの時間がかかるようになる。

このため、容量可変コンデンサ回路の使用条件に応じて、第1のバイアスラインV1及び第2のバイアスラインV2の抵抗値を決める必要がある。

図1に示す回路図において、入力端子Iから供給されたバイアス電流は、第1の可変容量素子C1の絶縁抵抗を通過して、接続点B1から第2のバイアスラインV2を介して出力端子Oに流れる。また、入力端子Iから供給されたバイアス電流は、第1のバイアスラインV1をながれ、接続点A2に供給され、接続点A2から第3の可変容量素子C3の絶縁抵抗を通過して、出力端子Oに流れる。また、接続点A2から第2の可変容量素子C2の絶縁抵抗を通過して、接続点B1から第2のバイアスラインV2に流れ、接続点B2を介して出力端子Oに流れることになる。このように、3つのバイアス電流の流れが存在する。

ここで、抵抗成分R1、R2の設定方法を、直流に対する等価回路図である図2に基づき説明する。図2示すように、可変容量素子C1～C3を絶縁抵抗Rp1、Rp2、Rp3に置換えている。

抵抗成分R1、R2の上限値は、バイアスラインV1、V2を通過して各可変容量素子C1～C3にかかる電圧が、バイアスラインV1、V2の無い場合に各可変容量素子C1～C3にかかる電圧よりも大きくなるような抵抗値とする。

可変容量素子C1について考えると、可変容量素子C1にかかる電圧は、バイアスラインV1、V2の無い場合、 $R_{p1} / (R_{p1} + R_{p2} + R_{p3})$ となる。バイアスラインV2があると、バイアスラインV2を通過して可変容量素子C1にかかるバイアス電圧は、 $R_{p1} / (R_2 + R_{p1})$ となる。したがって、

$$R_{p1} / (R_2 + R_{p1}) > R_{p1} / (R_{p1} + R_{p2} + R_{p3})$$
が必要条件となり、この式を変形すると、

$$R_2 < R_{p2} + R_{p3}$$

となる。つまり  $R_{p2} + R_{p3}$  が  $R_2$  の上限値となる。

同様に、可変容量素子  $C_2$  について考えると、

$$R_{p2} / (R_1 + R_2 + R_{p2}) > R_{p2} / (R_{p1} + R_{p2} + R_{p3})$$

5 が必要条件となり、この式を変形すると、

$$R_1 + R_2 < R_{p1} + R_{p3}$$

となる。  $R_{p1} + R_{p3}$  が  $R_1 + R_2$  の上限値となる。

同様に、可変容量素子  $C_3$  について考えると、

$$R_{p3} / (R_1 + R_{p3}) > R_{p3} / (R_{p1} + R_{p2} + R_{p3})$$

10 が必要条件となり、

$$R_1 < R_{p2} + R_{p3}$$

となる。  $R_{p2} + R_{p3}$  が  $R_1$  の上限値となる。

ここで  $R_1 = R_2 = R$ 、 $R_{p1} = R_{p2} = R_{p3} = R_{p-1} \text{ G}\Omega$  とすると、上の3つの不等式を同時に満足するためには、 $R < R_{p-1} \text{ G}\Omega$  とする必要がある。

15 なお各可変容量素子  $C_1 \sim C_3$  にかかるバiais電圧が、上述の場合の  $1/10$  になる抵抗値を上限とすると、 $R < 100 \text{ M}\Omega$  となる。

また、時定数の4倍が、必要とされる応答時間  $T$  より小さいことを要求すると、

$$T > 4 + 2 + RC$$

20 が満たされる必要がある。“\*”はかけ算を表す。この式を変形すると、

$$R < T / 8C$$

となる。ここで応答時間  $T = 10 \text{ }\mu\text{s}$ 、容量  $C = 2 \text{ pF}$  とすると

$$R < 10 * 10^{-6} / 8 * 2 * 10^{-12} = 625 \text{ k}\Omega$$

となる。仮に、応答時間がミリ秒のオーダーでよければ、 $R$  の上限は  $62 \text{ M}\Omega$

25 程度となる。

次に、抵抗成分  $R_1$ 、 $R_2$  の下限について説明する。使用高周波信号の周波数（使用周波数）において、直列の可変容量素子  $C_1 \sim C_3$  は、 $C_1 + C_2$  の合成インピーダンスが、 $R_1$  より小さく、 $C_2 + C_3$  の合成インピーダンスが、 $R_2$  より小さくなる必要がある。こうすれば、 $C_1 + C_2$  の合成イ

インピーダンスが $R_1$ になる周波数が使用周波数より小さく、 $C_2 + C_3$ の合成インピーダンスが $R_2$ になる周波数が使用周波数より小さくなる。即ち、使用周波数 $\omega$ において、

$$R_1 > (C_1 + C_2) / (\omega C_1 C_2),$$

$$R_2 > (C_2 + C_3) / (\omega C_2 C_3)$$

である。ここで $R_1 = R_2 = R$ 、 $C_1 = C_2 = C_3 = C = 2 \text{ pF}$ 、使用周波数を $2 \text{ GHz}$ とすると

$$R > 2C / \omega C^2 = 2 / \omega C = 80 \Omega$$

である。ここで $\sim^2$ はべき乗をあらわす。例えば $C^2$ は $C$ の2乗を表す。また、使用周波数の $1/10$ まで前記「 $C_1 + C_2$ の合成インピーダンスが、 $R_1$ より小さく、 $C_2 + C_3$ の合成インピーダンスが、 $R_2$ より小さい」という条件を満たすためには、 $R > 800 \Omega$ が必要となる。

以上より第1のバイアスライン $V_1$ 、第2のバイアスライン $V_2$ の抵抗成分 $R_1$ 、 $R_2$ は、数 $100 \Omega$ から $100 \text{ M}\Omega$ 程度の範囲であればよいことになる。

次に、図3、図4を用いて、本発明の、互いに直列接続された可変容量素子 $C_1 \sim C_3$ を具備する容量可変薄膜コンデンサ素子を説明する。

なお、図3は、各膜の構造が明確にわかるようにした透視状態の平面図であり、図4は、バイアスライン $A-A'$ 部分の断面図を示す。図3において角の丸み付けは図示していない。

図3、図4において1は支持基板であり、2は下部電極層であり、3は薄膜誘電体層であり、4は上部電極層である。16は第2の絶縁層であり、7は上部引出し電極であり、8は第3の絶縁層である。9はバイアスライン（第1のバイアスラインを91、第2のバイアスラインを92と付す）であり、10は第4の絶縁層であり、11は半田拡散防止層であり、12a、12bは半田端子部（入力端子I側を12a、出力端子O側を12bと付す）である。

また、薄膜誘電体層3および上部電極層4の周囲には、第1の絶縁体層5が配置される。そして、図中 $C_1 \sim C_3$ は、バイアス電圧によって容量成分

を調整できる、薄膜誘電体層 3 からなる可変容量素子を示す。

支持基板 1 はアルミナなどのセラミック基板、サファイアなどの単結晶基板などである。そして、支持基板 1 の表面に、下部電極層 2、薄膜誘電体層 3、上部電極層 4 を支持基板上の全面に同一バッチでスパッタリング形成する。その後、先ず薄膜誘電体層 3 および上部電極層 4 を、所定形状のレジスト層を用いて同一形状に物理的にエッチングする。その後下部電極層 2 を所定形状のレジスト層を用いて物理的または化学的にエッチングする。

薄膜誘電体層 3 の形成に高温スパッタが必要となるため、下部電極層 2 の材質は、高融点でしかも貴金属である Pt、Pd などである。この下部電極層 2 は、例えば、基板温度 150℃ から 600℃ の条件で形成する。その後、薄膜誘電体層 3 のスパッタ温度である 700～900℃ へ加熱して、スパッタ開始まで一定時間保持することにより下部電極層 2 は、より平坦な薄膜となる。その後薄膜誘電体層 3 をスパッタリングして形成する。

この下部電極層 2 の厚みは、端子部 12b から例えば第 3 の可変容量素子 C3 までの抵抗成分、下部電極層 2 の連続性及び支持基板 1 との密着性を考慮して決定される。前記抵抗成分を低くし、下部電極層 2 の連続性を保つには、下部電極層 2 の厚みが厚い方が望ましい。支持基板 1 との密着のためには、厚みが相対的に薄い方が望ましい。このようなことを考慮して、下部電極層 2 の厚みは、例えば、0.1～10μm となっている。0.1μm よりも小さくなると、電極自身の抵抗が大きくなると同時に、電極の連続性がなくなり、信頼性が劣るようになる。一方、10μm 以上にすると支持基板 1 との密着信頼性が低下したり、支持基板 1 にそりを生じたりする。

なお、下部電極層 2 を構成する金属材料は、前述した高融点の貴金属 Pt、Pd であるが、これらの高融点の貴金属と、Au、Ag、Cu などと積層化し、さらに抵抗値をさげることも可能である。

薄膜誘電体層 3 は、少なくとも Ba、Sr、Ti を含有するペロブスカイト型酸化物結晶粒子から成る高誘電率の誘電体層である。この薄膜誘電体層 3 は、上述の下部電極層 2 の表面に形成する。薄膜誘電体層 3 の形成方法は、例えば、ペロブスカイト型酸化物結晶粒子が得られる誘電体をターゲットと

して、スパッタリングを行なって形成する。例えば、基板温度を800℃として、所望の厚みを得られる時間だけスパッタを行う。高温でスパッタを行なうことにより、スパッタ後の熱処理を行なうことなく、高誘電率で変化率が大きく損失の低い薄膜誘電体層3が得られる。

- 5 上部電極層4の材料としては、電極の抵抗を下げるため、抵抗率の小さなAuが望ましく、その他に、Ag、Cuなども使用できる。また、薄膜誘電体層3との密着性向上のためにはPt、Pdなどの高融点貴金属を一部に使用してもよい。この上部電極層4の厚みは0.1~10μmとなっている。厚みの下限については下部電極層2と同様に、電極自身の抵抗などを考慮して設定される。また、厚みの上限については密着性の低下を考慮して設定される。

- 15 本発明の容量可変薄膜コンデンサ素子においては、上述の様に、下部電極層2、薄膜誘電体層3、上部電極層4を同一バッチでスパッタ成膜できるもので、大気に曝すことなく上部電極層まで成膜できる。したがって、下部電極層2ー薄膜誘電体層3間、薄膜誘電体層3ー上部電極層4間に、油脂等の余分な付着が起こらないので、密着性が大幅に改善され、下部電極層2ー薄膜誘電体層3間、薄膜誘電体層3ー上部電極層4間への水分等の浸入を防止することができ、耐湿性を大幅に改善することができる。したがって、非常に安定した特性を実現できる可変容量素子C1~C3が形成できる。

- 20 前記第1の絶縁層5は、薄膜誘電体層3、上部電極層4の周囲に形成されるものであり、材料は、SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>等のセラミックスなどである。このような第1の絶縁層5は、例えば下部電極層2、上部電極層4及び支持基板1上に形成する。そして上部電極層4の上面およびバイアスライン9の端子部が露出するように、ドライエッチングで不要部分を除去する。

- 25 通常のレジストを用いるドライエッチング工程の他に、以下の方法も利用できる。第1の絶縁層5をスパッタで成膜する場合、スパッタでは、ターゲットのある一点から色々な方向にターゲット構成物質が放出されるので、支持基板1上のある一点には色々な方向から飛来したターゲット構成物質が堆積していくことになる。ところが、ドライエッチングでは並行に置かれたエ

エッチング装置の電極間で加速されたイオンにより、エッチングが行なわれるため、膜に垂直方向にエッチングが進行する。上部電極層 4 の最上面には絶縁層 5 との密着性が悪い A 11 を用いており、エッチング中に上部電極層 4 上の絶縁層 5 とその周囲の絶縁層 5 が完全に分断された時点で上部電極層 4 上の絶縁層 5 が自動的に除去できる。何らかの原因で除去できない場合は超音波洗浄または 300℃程度の加熱で完全に除去することができる。この様な方法ではレジスト層のサイズ、位置合わせの精度は重要ではなく、上部電極層 4 よりも大きな窓を持つレジスト層を用いればよい。また、全くレジストを用いなくても同様の加工が可能である。エッチング時に上部電極層 4、および薄膜誘電体層 3 の周囲の絶縁層 5 もエッチングされ、浮遊容量発生の原因になるので初期の絶縁層の厚みは厚い方が望ましい。

なお、第 1 の絶縁層 5 は、少なくとも半田端子部 12 a、12 b およびバイアスライン 9 が形成される端子配置部を露出するように形成されている。また、下部電極間の段差を埋めるために、SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>等のセラミックスまたは、BCB（ベンゾシクロブテン）、ポリイミドなどの有機材料で第 2 の絶縁層 16 を形成する。

上部引出し電極 7 は、上部電極層 4 と端子配置部または上部電極層 4 同士を連結して、第 1 の可変容量素子 C1 を端子部 12 a に接続するとともに、第 2 の可変容量素子 C2 と第 3 の可変容量素子 C3 を直列接続するものである。上部引出し電極 7 には、Ag、Cu、などの安価で低抵抗な金属を用いることができる。そのサイズは浮遊容量と抵抗値を考慮して決定する。

また、第 3 の絶縁層 8 は、半田端子部 12 a、12 b、バイアスライン 9 の端子部を露出するように形成される。絶縁層 8 としては、SiO<sub>2</sub>、SiN、BCB（ベンゾシクロブテン）、ポリイミドなどが好適である。また、これらの材料の多層構造にしても良い。この第 3 の絶縁層 8 はバイアスライン 9 と引き出し電極層 7 の絶縁のために配置される。

バイアスライン 9 は、図 1 の回路図で示した接続点 A1 と接続点 A2 とを結ぶ第 1 のバイアスライン V1（91）と、接続点 B1 と接続点 B2 とを結ぶ第 2 のバイアスライン V2（92）とからなる。バイアスライン 9 は、第



1の絶縁層5、第2の絶縁層16、第3の絶縁層8に形成されたビアホールを通して、下部電極2または引き出し電極層7に接続される。

また、バイアスライン9は、所定抵抗成分R1、R2を具備させるため、材料には、高抵抗材料のNi-Cr合金、Fe-Cr-Al合金、Au、Ptなどの貴金属材料、Ni、Fe等の強磁性体材料を用いることができる。その厚みを制御して抵抗成分を調整する。

また、バイアスライン9は、例えば図3に示した様に可変容量素子C1～C3上に絶縁膜8を介して配置される。

第4の絶縁層10は、外部からの機械的な衝撃からの保護の他、湿度による劣化、薬品の汚染、酸化等を防止する役割を持っている。

半田拡散防止層11はリフロー時の半田の電極への拡散を防止するために形成される。また、半田端子部12a、12bは、半田ペーストを印刷後、リフローを行なうことにより形成される。また、金属ワイヤーのファーストボンディングを行い、所定長さで切断することにより、金などのパンプを形成しても構わない。

以上のように、上述の容量可変薄膜コンデンサ素子において、可変容量素子C1～C3が直列接続され、しかも各可変容量素子C1～C3は、抵抗成分R1、R2を有するバイアスライン9で接続され、しかも、入出力端子I、O(12a、12b)が、高周波用、直流用に共用されている。

いままでは、3個の可変容量素子C1～C3を直列に接続した容量可変コンデンサ回路を示したが、本発明は、一般に、N個(Nは3以上の整数)の可変容量素子を有する容量可変コンデンサ回路にも適用できる。

以下、N=5の場合の容量可変コンデンサ回路を説明する。

図5は本発明のN=5の場合の容量可変コンデンサ回路を示すものである。図5は5個の可変容量素子C1～C5(第1の可変容量素子C1、第2の可変容量素子C2、第3の可変容量素子C3、第4の可変容量素子C4、第5の可変容量素子C5)を直列に接続したものであり、さらに、抵抗成分またはインダクタンス成分(図では、抵抗成分R11、R12、R21、R22を示す)を有する第1及び第2の入力端子側バイアスラインV11、V12および第1及

び第2の出力端子側バイアスラインV21、V22を有している。

図5では高周波信号および直流バイアスは、共通の入力端子Iから入力され、共通の出力端子Oから出力される。

第1の可変容量素子C1の入力端部A11と、第2の可変容量素子C2と第3の可変容量素子C3との直列接続点B11との間に、抵抗成分R11を有する第1の入力端子側バイアスラインV11を設けている。また、第1の可変容量素子C1の入力端部A12と、第4の可変容量素子C4と第5の可変容量素子C5との直列接続点B12との間に、抵抗成分R12を有する第2の入力端子側バイアスラインV12を設けている。

また、第5の可変容量素子C5の出力端部B21と、第1の可変容量素子C1と第2の可変容量素子C2との直列接続点A21との間に、抵抗成分R21を有する第1の出力端子側バイアスラインV21を設けている。また、第5の可変容量素子C5の出力端部B22と、第3の可変容量素子C3と第4の可変容量素子C4との直列接続点A22との間に、抵抗成分R22を有する第2の出力端子側バイアスラインV22を設けている。

ここで、第1、第2の入力端子側のバイアスラインV11、V12の抵抗成分R11、R12、第1、第2の出力端子側のバイアスラインV21、V22の抵抗成分R21、R22は、それぞれ直列接続した容量素子の高周波信号の当該周波数領域でのインピーダンスよりも大きな抵抗成分となっている。

高周波信号は、直列に接続した可変容量素子C1から可変容量素子C5を通る。直流バイアスはバイアスラインを通して各可変容量素子C1～5に別々に印加されことになる。

第1、第2の入力端子側のバイアスラインV11、V12の抵抗成分R11、R12、第1、第2の出力端子側のバイアスラインV21、V22の抵抗成分R21、R22が小さすぎると、高周波信号も第1のバイアスラインV1、第2のバイアスラインV2を多く流れることになり、高周波信号による容量変化が大きくなり、容量可変コンデンサ回路のQが低下する。

また、抵抗成分R11、R12、R21、R22が大きすぎると容量可変素子C1～C5に印加される直流バイアスが減少し、容量変化が小さくなる。また、

時定数が大きくなり、直流バイアス印加後、容量変化が一定になるまでに時間が掛かるようになる。このため、容量可変コンデンサ回路の使用条件に応じて抵抗値を決める必要がある。

図5に示す回路図において、入力端子Iから供給されたバイアス電流は、  
5 第1の可変容量素子C1に供給されて、接続点A21から第1の出力端子側  
バイアスラインV21を介して出力端子Oに流れる。また、入力端子Iから供  
給されたバイアス電流は、第1の入力端子側のバイアスラインV11をながれ、  
接続点B11に供給され、接続点B11から第2の可変容量素子C2に供給され、  
接続点A21から第1の出力側バイアスラインV21に流れ、接続点B21を介  
10 して出力端子Oに流れることになる。

また、入力端子Iから供給されたバイアス電流は、第1の入力端子側のバ  
イアスラインV11をながれ、接続点B11に供給され、接続点B11から第3  
の可変容量素子C3に供給され、接続点A22から第2の出力側バイアスラ  
インV22に流れ、接続点B22を介して出力端子Oに流れることになる。また、  
15 入力端子Iから供給されたバイアス電流は、第2の入力端子側のバイアスラ  
インV12をながれ、接続点B12に供給され、接続点B12から第4の可変容  
量素子C4に供給され、接続点A22から第2の出力側バイアスラインV22  
に流れ、接続点B22を介して出力端子Oに流れることになる。また、入力端  
子Iから供給されたバイアス電流は、第2の入力端子側のバイアスラインV  
20 12をながれ、接続点B12に供給され、接続点B12から第5の可変容量素子  
C5に供給され、そのまま出力端子Oに流れることになる。

図6は、可変容量素子C1～C5を絶縁抵抗Rp1, Rp2, ..., Rp5に置換え  
た、直流に対する等価回路図である。

抵抗成分R11、R12、R21、R22の上限値は、バイアスラインが無いとし  
25 た場合に、直列接続した各絶縁抵抗Rp1, Rp2, ..., Rp5にかかる分圧された  
電圧が、バイアスラインがあるとした場合に、抵抗成分R11、R12、R21又  
はR22を経由して、各絶縁抵抗Rp1, Rp2, ..., Rp5にかかる電圧よりも小さ  
くなるように選ぶ。

例えば、抵抗成分R21については、可変容量素子C1（絶縁抵抗Rp1）に

かかる電圧は、バイアスラインが無いとした場合、 $R_{p1} / (R_{p1} + R_{p2} + R_{p3} + R_{p4} + R_{p5})$  である。バイアスラインV21があれば、直流電流が可変容量素子C1（絶縁抵抗 $R_{p1}$ ）及びバイアスラインV21に流れるとした場合に、可変容量素子C1（絶縁抵抗 $R_{p1}$ ）にかかる電圧は、 $R_{p1} / (R_{21} + R_{p1})$  となるので、前記条件は、

$R_{p1} / (R_{21} + R_{p1}) > R_{p1} / (R_{p1} + R_{p2} + R_{p3} + R_{p4} + R_{p5})$   
となり、これを変形すれば、

$$R_{21} < R_{p2} + R_{p3} + R_{p4} + R_{p5}$$

となる。 $R_{21}$ はこの式を満たすように設定する必要がある。

- 10 同様に、可変容量素子C2（絶縁抵抗 $R_{p2}$ ）について考えると、可変容量素子C2（絶縁抵抗 $R_{p2}$ ）にかかる電圧は、バイアスラインが無いとした場合、

$$R_{p2} / (R_{p1} + R_{p2} + R_{p3} + R_{p4} + R_{p5})$$

である。バイアスラインV11、V21があれば、可変容量素子C2（絶縁抵抗

- 15  $R_{p2}$ ）にかかる電圧は、直流電流が可変容量素子C2（絶縁抵抗 $R_{p2}$ ）及びバイアスラインV11、V21に流れると仮定した場合、 $R_{p2} / (R_{11} + R_{21} + R_{p2})$  となるので、前記条件は、

$$R_{p2} / (R_{11} + R_{21} + R_{p2}) > R_{p2} / (R_{p1} + R_{p2} + R_{p3} + R_{p4} + R_{p5})$$

- 20 となる。この式から、 $R_{11} + R_{21}$ は、

$$R_{11} + R_{21} < R_{p1} + R_{p3} + R_{p4} + R_{p5}$$

となるようにする必要がある。

同様に、可変容量素子C3について考えると

- 25  $R_{p3} / (R_{11} + R_{22} + R_{p3}) > R_{p3} / (R_{p1} + R_{p2} + R_{p3} + R_{p4} + R_{p5})$

が必要となり、 $R_{11} + R_{22} < R_{p1} + R_{p3} + R_{p4} + R_{p5}$  となるようにする。

同様に、可変容量素子C4について考えると

$$R_{p4} / (R_{12} + R_{22} + R_{p4}) > R_{p4} / (R_{p1} + R_{p2} + R_{p3} + R_{p4} + R_{p5})$$

が必要となり、 $R_{12} + R_{22} < R_{p1} + R_{p3} + R_{p4} + R_{p5}$  となるようにする。

同様に、可変容量素子  $C_5$  について考えると

$$R_{p5} / (R_{12} + R_{p5}) > R_{p5} / (R_{p1} + R_{p2} + R_{p3} + R_{p4} + R_{p5})$$

が必要となり、 $R_{12} < R_{p1} + R_{p2} + R_{p3} + R_{p4}$  となるようにする。

- 5     ここで  $R_{11} = R_{12} = R_{21} = R_{22} = R$ 、 $R_{p1} = R_{p2} = R_{p3} = R_{p4} = R_{p5} = 1 \text{ G}\Omega$  とすると、上の4つの不等式を満たす  $R$  として、

$$R < 2 \text{ G}\Omega$$

が得られる。

- 10     ここで、バイアスラインがある場合の、可変容量素子  $C_1, \dots, C_5$  にかかる電圧が、バイアスラインが無いとした場合に各可変容量素子  $C_1 \sim C_5$  にかかる電圧の  $1/10$  になるような抵抗値を、 $R$  の上限とすると、

$$R < 200 \text{ M}\Omega \text{ となる。}$$

また、時定数の4倍が求められる応答時間  $T$  より小さいことを要求すると、

$$T > 4 * 2 * RC$$

- 15     が必要である。この式より  $R < T / 8C$  となる。ここで応答時間  $10 \mu\text{s}$ 、可変容量素子の容量  $C = 2 \text{ pF}$  とすると、

$$R < 10 * 10^{-6} / 8 * 2 * 10^{-12} = 625 \text{ k}\Omega$$

となる。仮に、応答時間が  $\text{ms}$  程度でよければ  $R$  の上限は、その  $100$  倍の  $62 \text{ M}\Omega$  程度となる。

- 20     つぎに、抵抗成分  $R_{11}$ 、 $R_{12}$ 、 $R_{21}$ 、 $R_{22}$  の下限について検討する。

使用周波数で、抵抗  $R_{11}$  は、可変容量素子  $C_1 + C_2$  の合成インピーダンスよりも大きな必要がある。抵抗  $R_{12}$  は、 $C_1 + C_2 + C_3 + C_4$  の合成インピーダンスよりも大きな必要がある。また、抵抗  $R_{21}$  は、 $C_2 + C_3 + C_4 + C_5$  の合成インピーダンスより大きく、抵抗  $R_{22}$  は、 $C_4 + C_5$  の合成インピーダンスよりも大きな必要がある。即ち、

$$R_{11} > (C_1 + C_2) / (\omega C_1 C_2)$$

$$R_{12} > (C_1 C_2 C_3 + C_1 C_2 C_4 + C_1 C_3 C_4 + C_2 C_3 C_4) / (\omega C_1 C_2 C_3 C_4)$$

$$R_{21} > (C_2 C_3 C_4 + C_2 C_3 C_5 + C_2 C_4 C_5 + C_3 C_4 C_5) / (\omega C_2 C_3 C_4 C_5)$$

$$C5) / (\omega C2 C3 C4 C5)$$

$$R22 > (C1 + C5) / (\omega C4 C5)$$

を満たす必要がある。ここで  $R11 = R12 = R21 = R22 = R$ 、 $C1 = C2 = C3 = C4 = C5 = 2 \text{ pF}$ 、使用周波数を  $2 \text{ GHz}$  とすると、上の4つの式を

5 同時に満たす式は、

$$R > 4 C^3 / \omega C^4 = 4 / \omega C = 160 \Omega$$

となり、 $R > 160 \Omega$ が必要となる。また、使用周波数の  $1/10$  まで、抵抗値が、可変容量素子合成インピーダンスよりも大きなためには、 $R > 1600 \Omega$ が必要となる。

10 以上より第1、第2の入力端子側のバイアスライン  $V11$ 、 $V12$  の抵抗成分  $R11$ 、 $R22$  および第1、第2の出力端子側のバイアスライン  $V21$ 、 $V22$  の抵抗成分  $R21$ 、 $R22$  の値は、数  $100 \Omega$  から  $100 \text{ M}\Omega$  程度の範囲であればよいことになる。

次に、図7、図8を用いて、互いに直列接続された可変容量素子  $C1 \sim C5$  を具備する容量可変薄膜コンデンサ素子の構造を説明する。なお、図7は、各膜の構造が明確に分かるようにした透視状態の平面図であり、図8は、バイアスライン部分の断面図を示す。

この容量可変薄膜コンデンサ素子は、図3、図4の容量可変薄膜コンデンサ素子と比べて、可変容量素子の数が3から5に増えただけであり、基本的

20 には、同一構造である。

図7、図8において、1は支持基板であり、2は下部電極層であり、3は薄膜誘電体層であり、4は上部電極層であり、16は第2の絶縁層であり、7は上部引出し電極であり、8は第3の絶縁層である。9はバイアスライン（第1、第2の入力端子側バイアスライン  $V11$ 、 $V12$  を911、912で示し、第1、第2の出力端子側のバイアスライン  $V21$ 、 $V22$  を921、922と付す）である。

25 10は第4の絶縁層であり、11は半田拡散防止層であり、12a、12bは半田端子部（入力端子I側を12a、出力端子O側を12bと付す）である。また、薄膜誘電体層3および上部電極層4の周囲には、第1の絶縁体

層5が配置される。そして、図中C1～C5は、バイアス電圧によって容量成分を調整できる可変容量素子を示す。

5 支持基板1はアルミナなどのセラミック基板、サファイアなどの単結晶基板などを用いる。そして、支持基板1の表面には、下部電極層2が形成されている。下部電極層2、薄膜誘電体層3、上部電極層4は支持基板1上の全面に同一バッチでスパッタリングにより形成されている。そして全層の形成終了後に、先ず薄膜誘電体層3および上部電極層4が所定形状のレジスト層を用いて同一形状に物理的にエッチングされる。その後下部電極層2が所定形状のレジスト層を用いて物理的または化学的にエッチングされる。

10 下部電極層2の材質は、薄膜誘電体層3の形成に高温スパッタが必要となるため、高融点でしかも貴金属であるPt、Pdなどが好ましい。この下部電極層2は、例えば、基板温度150℃から600℃で形成される。その後、薄膜誘電体層3のスパッタ温度である700～900℃へ加熱され、スパッタ開始まで一定時間保持される。このアニール処理により平坦な薄膜となる。

15 この下部電極層2の厚みは、端子部12bから例えば第3の可変容量素子C3までの抵抗成分、下部電極層2の連続性（いずれも厚みが厚い方が望ましい）及び支持基板1との密着性（厚みが相対的に薄い方が望ましい）を考慮して決定される。例えば、下部電極層2の厚みは0.1～10μmとなっている。0.1μmよりも小さくなると、電極自身の抵抗が大きくなると同時に、電極の連続性がなくなり、信頼性が劣るようになる。一方、10μm以上にすると支持基板1との密着信頼性が低下したり、支持基板1にそりを生じたりする。

20 なお、下部電極層2を構成する金属材料は、高融点の貴金属Pt、Pd以外に、Au、Ag、Cuなどと積層化・合金化し抵抗値を下げることも可能である。

25 薄膜誘電体層3は、少なくともBa、Sr、Tiを含有するペロブスカイト型酸化物結晶粒子から成る高誘電率の誘電体層である。この薄膜誘電体層3は、上述の下部電極層2の表面に形成されている。この薄膜誘電体層3の製法は、例えば、ペロブスカイト型酸化物結晶粒子が得られる誘電体をター

ゲットとして、基板温度を800℃として、厚みを考慮した時間だけスパッタリングを行なう。このような高温でスパッタを行なうことにより、スパッタ後の熱処理を行なうことなく、高誘電率で変化率が大きく損失の低い薄膜誘電体層が得られる。

- 5 上部電極層4の材料としては、電極の抵抗を下げるため、抵抗率の小さなAuが望ましい。その他に、Ag、Cuなども使用できる。薄膜誘電体層3との密着性向上のためにはPt、Pdなどの高融点貴金属を一部に用いることが望ましい。この上部電極層4の厚みの下限については下部電極層2と同様に、電極自身の抵抗を考慮して設定される。また、厚みの上限については
- 10 密着性の低下を考慮して設定される。この上部電極層4の厚みは0.1～10μmとなっている。

- 本発明の容量可変薄膜コンデンサ素子においては、上述の様に、下部電極層2、薄膜誘電体層3、上部電極層4を同一バッチでスパッタ成膜できる。大気中露すること無く上部電極層まで成膜できるので、下部電極2層—薄膜誘電体層3間、薄膜誘電体層3—上部電極層4間に油脂等の、余分な付着が起
- 15 こらないので、密着性が大幅に改善される。下部電極層2—薄膜誘電体層3間、薄膜誘電体層3—上部電極層4間への水分等の浸入を防止することができるので、耐湿性を大幅に改善することができ、非常に安定した特性の可変容量素子C1～C5が形成できる。

- 20 前記第1の絶縁層5は、薄膜誘電体層3、上部電極層4の周囲に形成されるものであり、材料は、 $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 等のセラミックスなどである。このような第1の絶縁層5は、下部電極層2、上部電極層4及び支持基板1上に形成し、上部電極層4の上面およびバイアスライン9の端子部が露出するように、ドライエッチングで不要部分を除去する。

- 25 通常のレジストを用いるドライエッチング工程の他に以下の方法も利用できる。第1の絶縁層5をスパッタで成膜する場合、スパッタでは、ターゲットのある一点から色々な方向にターゲット構成物質が放出されるので、支持基板1上のある一点には色々な方向から飛来したターゲット構成物質が堆積していくことになる。ところが、ドライエッチングでは並行に置かれたエッ



エッチング装置の電極間で加速されたイオンにより、エッチングが行なわれるため、膜に垂直方向にエッチングが進行する。上部電極層 4 の最上面には絶縁層 5 との密着性が悪い Au を用いており、エッチング中に上部電極層 4 上の絶縁層 5 とその周囲の絶縁層 5 が完全に分断された時点で上部電極層 4 上の絶縁層 5 が自動的に除去できる。何らかの原因で除去できない場合は超音波洗浄または 300℃程度の加熱で完全に除去することができる。このような方法ではレジスト層のサイズ、位置合わせの精度は重要ではなく、上部電極層 4 よりも大きな窓を持つレジスト層を用いればよい。また、全くレジストを用いなくても同様の加工が可能である。エッチング時に上部電極層 4、および薄膜誘電体層 3 の周囲の絶縁層 5 もエッチングされ、浮遊容量発生の原因になるので初期の絶縁層の厚みは厚い方が望ましい。

なお、第 1 の絶縁層 5 は、少なくとも半田端子部 12 a、12 b およびバイアスライン 9 が形成される端子配置部を露出するように形成されている。また、下部電極間の段差を埋めるために、 $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$  等のセラミックスなどまたは、BCB（ベンゾシクロブテン）、ポリイミドなどの有機材料で第 2 の絶縁層 16 を形成する。

上部引出し電極 7 は、上部電極層 4 と端子配置部または上部電極層 4 同士を連結させて、第 1 の可変容量素子 C1 を端子部 12 a に接続するとともに、第 2 の可変容量素子 C2 と第 3 の可変容量素子 C3、第 4 の可変容量素子 C4 と第 5 の可変容量素子 C5 をそれぞれ直列接続するものである。上部引出し電極 7 には、Ag、Cu、などの安価で低抵抗な金属を用いることができる。サイズは浮遊容量と抵抗を考慮して決定する。

また、第 3 の絶縁層 8 は、半田端子部 12、バイアスライン 9 の端子部を露出するように形成されている。絶縁層 8 としては、 $\text{SiO}_2$ 、 $\text{SiN}$ 、BCB（ベンゾシクロブテン）、ポリイミドなどが好適である。また、これらの材料の多層構造にしても良い。この第 3 の絶縁層 8 はバイアスライン 9 と引出し電極 7 の絶縁のために配置される。

バイアスライン 9 は、図 5 の回路図中、接続点 A11 と接続点 B11、接続点 A12 と接続点 B12 とをそれぞれ結ぶ第 1、第 2 の入力端子側のバイアス

ライン911、912と、接続点A21と接続点B21、接続点A22と接続点B22とをそれぞれ結ぶ第1、第2の出力端子側のバイアスライン921、922とからなる。バイアスライン911～922は、第1の絶縁層5、第2の絶縁層16、第3の絶縁層8に形成されたビアホールを通して、下部電極2または引出し電極7に接続される。

バイアスライン911～922は、所定抵抗成分R11～R22を具備させるため、材料には、高抵抗材料のNi-Cr合金、Fe-Cr-Al合金、Au、Ptなどの貴金属材料（厚みを制御して抵抗成分を調整）、Ni、Fe等の強磁性体材料を用いることができる。また、バイアスライン911～922は、例えば図7に示した様に可変容量素子C1～C5上に絶縁膜8を介して配置される。第4の絶縁層10は、外部からの機械的な衝撃からの保護の他、湿度による劣化、薬品の汚染、酸化等を防止する役割を持っている。

半田拡散防止層11はリフロー時の半田の電極への拡散を防止するために形成される。

また、半田端子部12a、12bは、半田ペーストを印刷後、リフローを行なうことにより形成される。また、金属ワイヤーのファーストボンディングを行い、所定長さで切断することにより、金などのバンプを形成しても構わない。

以上のように製造された容量可変薄膜コンデンサ素子において、可変容量素子C1～C5が高周波領域では直列接続されて、しかも各可変容量素子C1～C5は、抵抗成分R11、R12、R21、R22を有するバイアスライン911～922で接続され、しかも、入出力端子I、O（12a、12b）が共用されている。

上述の図1～図8に示した容量可変薄膜コンデンサ素子は、高周波部品の共振回路の一部（LC共振回路の容量成分）として用いられたり、また、この共振回路を結合する容量成分として用いられたりする。したがって、容量可変薄膜コンデンサ素子の下部電極層、上部電極層、または引き出し電極層を利用してインダクタを同時に形成したり、支持基板1の余白領域（容量可変薄膜コンデンサ素子が形成されていない領域）にその他の共振回路を形成

したりして、容量可変薄膜コンデンサ素子を電圧制御型高周波共振回路部品に使用することができる。さらに、その共振回路の複合部品である電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型薄膜アンテナ共用器などの高周波部品に使用することができる。

5 <実施例 1>

容量 6 pF、直列抵抗 0.1  $\Omega$ 、直列インダクタンス 100 pH の可変容量素子 C1 ~ C3 を直列接続し、10 k $\Omega$  の抵抗成分 R1、R2 をバイアスライン 9 に用いた容量可変コンデンサ回路を作成した。そのインピーダンス特性を図 9 に示す。図 9 の横軸は周波数 (対数表示)、縦軸はインピーダンス (相対目盛) を表す。横軸の 1 E 3 は  $1 \times 10^3$  (kHz) を、1 E 6 は  $1 \times 10^6$  (MHz) を、1 E 9 は  $1 \times 10^9$  (GHz) などをあらわす。

6. 5 GHz 付近に可変容量素子の自己共振によるボトム点 P、1.2 MHz 付近にバイアスライン 9 による変曲点 Q が見られ、この間では、容量可変コンデンサ回路の容量は、可変容量素子 C1 ~ C3 を直列接続した場合の合成容量である 2 pF となっており、変曲点 Q より低周波側では、容量可変コンデンサ回路の容量は、可変容量素子 C1 ~ C3 を並列接続した場合の合成容量 18 pF となっていることがわかる。これにより、変曲点 Q と自己共振ボトム点 P の間の高周波信号に対しては、可変容量素子 C1 ~ C3 は直列になっているとみなせる。このため 1 素子あたりの可変容量素子にかかる高周波電圧は全体の 1/3 になり、容量変化による波形歪が小さくなる。直流も含む変曲点 Q 以下の周波数に対しては 3 素子の可変容量素子 C1 ~ C3 は並列になっているとみなせる。よって容量変化を大きく保つことが出来ることがわかる。

<実施例 2>

26 支持基板としてサファイア R 基板上に、下部電極層 2 として Pt を、基板温度 500°C でスパッタ法により形成した。薄膜誘電体層 3 として (Ba<sub>0.5</sub>Sr<sub>0.5</sub>)TiO<sub>3</sub> (BST) からなるターゲットを用いて、基板温度は 800°C、成膜時間は 15 分で、下部電極層 2 の上に同一パッチで成膜を行なった。なお成膜開始前に Pt 電極の平坦化のための 800°C で 15 分間保持してアニ

ールした。その上に上部電極層4としてPtおよびAu電極層を同一バツタで形成し、取り出し後3列一組の $10\mu\text{m} \times 30\mu\text{m}$ のレジスト層を形成し、ECR装置により上部電極層4をエッチングし、同様にBST層3および下部電極層2をECR装置でエッチングし、3つの可変容量素子C1~C3を形成した。レジスト層剥離後、 $\text{SiO}_2$ 層をスパッタにより $600^\circ\text{C}$ で成膜し、レジスト層を剥離後、ECR装置で15分程度エッチングし、上部電極層4上の $\text{SiO}_2$ 層のみを除去した。部分的に除去されていない上部電極層4上の $\text{SiO}_2$ 層については純水中で超音波洗浄することにより完全に除去した。また、BCBからなる第2の絶縁層8を形成し、さらに引き出し電極層7としてNiおよびAuをスパッタ成膜し、不要部をエッチングで除去し、可変容量素子C1~C3の直列回路を作製した。

インピーダンスアナライザによる測定の結果、容量は約 $2\text{pF}$ であり、電圧に対する容量変化率はDC3V印加時で約6%であった。

測定後、バイアスライン9としてNi-Cr合金膜を成膜し、不要部をエッチングした。バイアスライン形成後に再度インピーダンスアナライザによる測定を行なった結果、容量変化率はDC3V印加時で約18%であった。また、容量は低周波では $18\text{pF}$ であり、高周波では $2\text{pF}$ であった。

このようにして、容量変化率が大きく、低周波では並列接続で、高周波で直列接続された容量可変コンデンサ回路ができることを確認した。

#### 20 <実施例3>

容量 $10\text{pF}$ 、直列抵抗 $0.06\Omega$ 、直列インダクタンス $60\text{pH}$ の可変容量素子C1~C5を直列接続し、 $10\text{k}\Omega$ の抵抗成分R11、R12、R21、R22をバイアスライン9に備えた容量可変コンデンサ回路を作成した。そのインピーダンス特性を図10に示す。

25 その結果、 $6.5\text{GHz}$ に可変容量素子の自己共振によるボトム、 $3\text{MHz}$ にバイアスライン9による変曲点が見られる。 $3\text{MHz} \sim 6.5\text{GHz}$ の間では、容量可変コンデンサ回路のインピーダンスは、容量 $10\text{pF}$ の可変容量素子C1~C5を5つ直列接続した合成容量 $2\text{pF}$ にほぼ等しくなっており、変曲点 $3\text{MHz}$ より低周波側では、容量可変コンデンサ回路のインピ

ーダンスは、可変容量素子C1～C5の並列容量50 pF にほぼ等しくなっていることがわかる。

これにより、変曲点と自己共振周波数の間の高周波信号に対しては、可変容量素子C1～C5は直列になっているため、1素子あたりの可変容量素子  
5 にかかる高周波電圧は1/5になり、この結果容量変化による波形歪が小さくなる。直流も含む変曲点以下の周波数に対しては、可変容量素子C1～C5は並列になっており、容量変化を大きく保つことが出来ることがわかる。

#### <実施例4>

支持基板としてサファイアR基板上に、下部電極層4としてPtを、基板  
10 温度500℃でスパッタ法により形成した。この上に薄膜誘電体層を、(Ba<sub>0.5</sub>Sr<sub>0.5</sub>)TiO<sub>3</sub>からなるターゲットを用いて、基板温度は800℃、成膜時間は15分、同一バッチで成膜を行なった。なお成膜開始前にPt電極の平坦化のためのアニールとして800℃で15分間保持した。その上に上部電極層としてPtおよびAu電極層を同一バッチで形成し、取り出し後5列一  
15 組の10μm×50μmのレジスト層を形成し、ECR装置により上部電極層4をエッチングし、同様にBST層3および下部電極層2をECRでエッチングし、5素子からなる可変容量素子C1～C5を形成した。レジスト層剥離後、SiO<sub>2</sub>層をスパッタにより600℃で成膜し、レジスト層を剥離後、ECRで15分程度エッチングし、上部電極層4上のSiO<sub>2</sub>層のみを除去し  
20 た。部分的に除去されていない上部電極層4上のSiO<sub>2</sub>層については純水中で超音波洗浄することにより完全に除去した。また、BCBからなる第2の絶縁層8を形成し、さらに引出し電極7としてNiおよびAuをスパッタ成膜し、不要部をエッチングで除去し、5素子の可変容量素子C1～C5の直列回路を作成した。

25 インピーダンスアナライザによる測定の結果、容量は約2 pFであり、容量変化率はDC3V印加時で約4%であった。

測定後、バイアスライン9としてNi-Cr合金膜を成膜し、不要部をエッチングした。バイアスライン形成後に再度インピーダンスアナライザによる測定を行なった結果、容量変化率はDC3V印加時で約20%であった。

また、容量は低周波では50 pFであり、高周波では2 pFであった。

このようにして、容量変化率が大きく、低周波では並列接続で、高周波で直列接続されたコンデンサができることを確認した。

#### 第2の実施形態

- 5 次に、本発明の第2の実施形態を説明する。本発明の第2の実施形態は、バイアスラインを支持基板上に直接形成したものである。

図11、図12、図13は本発明の容量可変薄膜コンデンサの構造を示した図である。図11は透視状態の平面図であり、図12は図11でのC-C'における断面図、図13はD-D'における断面図である。

- 10 図11、図12、図13において、1は支持基板であり、2は下部電極層であり、3は薄膜誘電体層であり、4は誘電体層3の上に設けられた上部電極層である。7は上部電極であり、そこに引き出し電極層が設けられている。8は絶縁層であり、11は半田拡散防止層であり、12a、12bは半田端子部である。13a~13cは導体ラインである。

- 15 なお、この半田拡散防止層11及び半田端子部12a、12bとで入力端子、出力端子を構成している。また図11において、C1~C3は、誘電体層3で構成された、バイアス電圧によって容量が変化する可変容量素子を示す。

- 20 支持基板1は、アルミナなどのセラミック基板、サファイアなどの単結晶基板などである。

本容量可変薄膜コンデンサを製造するときは、支持基板1の上に下部電極層2、薄膜誘電体層3、上部電極層4を順次、支持基板1の全面に成膜する。全層成膜終了後、上部電極層4、薄膜誘電体層3、下部電極層2を順次所定の形状にエッチングする。

- 25 下部電極層2は、薄膜誘電体層3の形成に高温スパッタが必要となるため、高融点であることが必要である。具体的には、Pt、Pdなどである。さらに、下部電極層2のスパッタ終了後、薄膜誘電体層3のスパッタ温度である700~900℃へ加熱され、薄膜誘電体層3のスパッタ開始まで一定時間保持することにより、下部電極層2は、平坦な膜となる。

下部電極層 2 の厚みは、出力端子（半田端子 12 a, 12 b、半田拡散防止層 11）から第 3 の可変容量素子 C 3 までのラインの抵抗成分、下部電極層 2 との連続性を考慮した場合厚いほうが望ましいが、支持基板 1 との密着性を考慮した場合は、相対的に薄い方が望ましく、両方を考慮して決定される。具体的には、0.1  $\mu\text{m}$  ~ 10  $\mu\text{m}$  である。0.1  $\mu\text{m}$  よりも薄くなると、電極自身の抵抗が大きくなるだけでなく、電極の連続性が確保できなくなる可能性がある。一方、10  $\mu\text{m}$  より厚くすると、支持基板 1 との密着性が低下したり、支持基板 1 のそりを生じたりする恐れがある。

薄膜誘電体層 3 は、少なくとも Ba、Sr、Ti を含有するペロブスカイト型酸化物結晶粒子からなる高誘電率の誘電体層である。この薄膜誘電体層 3 は、上述の下部電極層 2 の表面に形成されている。ペロブスカイト型酸化物結晶粒子が得られる誘電体をターゲットとして設層し、スパッタリングを、所望の厚みになる時間まで行う。基板温度を高く、例えば 800℃ としてスパッタリングを行うこととすれば、スパッタ後の熱処理を行うことなく、高誘電率で容量変化率の大きい、低損失の薄膜誘電体層が得られる。

上部電極層 4 の材料としては、電極の抵抗を下げるため、抵抗率の小さな Al が望ましい。そして、薄膜誘電体層 3 との密着性向上のために、Pt など密着層として用いることがさらに望ましい。この上部電極層 4 の厚みは 0.1  $\mu\text{m}$  ~ 10  $\mu\text{m}$  が好ましい。厚みの下限については、下部電極層 2 と同様に、電極自身の抵抗を考慮して設定される。厚みの上限については、密着性を考慮して設定される。

第 1 のバイアスライン V 1 は、図 11 に示すように、導体ライン 13 b、13 c、薄膜抵抗 6 により構成されており、第 1 の可変容量素子 C 1 の入力端子（半田端子 12 b、半田拡散防止層 11）から、第 2 の可変容量素子 C 2 と第 3 の可変容量素子 C 3 との接続点、即ち、第 2 の可変容量素子 C 2 の上部電極層 4 と第 3 の可変容量素子 C 3 の上部電極層 4 とを接続する上部引き出し電極層 7 までの間に設けられている。

第 2 のバイアスライン V 2 は、図 11 に示すように、導体ライン 13 a、薄膜抵抗 6 により構成されており、第 1 の可変容量素子 C 1 と第 2 の可変容

量素子C 2との接続点、即ち、第1の可変容量素子C 1及び第2の可変容量素子C 2に共通の下部電極層2と、第3の可変容量素子C 3の出力端部である出力端子（半田端子1 2 a、半田拡散防止層1 1）との間に設けられている。

5 前記導体ライン1 3 a、1 3 b、1 3 cは、上述の下部電極層2、薄膜誘電体層3、上部電極層4を形成した後、新たに成膜して得ることができる。その際には、リフトオフ法を用いることが望ましい。さらには、下部電極層2のパターニングの際に導体ライン1 3を有する形状にパターニングを行うことによっても形成できる。

10 この導体ライン1 3 a、1 3 b、1 3 cの材料としては、バイアスラインV 1、V 2の抵抗値のばらつきを抑制するために、低抵抗であるAuが望ましいが、薄膜抵抗6の抵抗が十分高い場合には、Ptなど、下部電極層2と同一の材料で、同一工程で形成してもよい。

次に、第1及び第2のバイアスラインV 1、V 2の一部を構成する薄膜抵抗6について説明する。薄膜抵抗6の材料は、高抵抗率、安定性の面から、窒化タンタルが好適である。窒化タンタルは、Taをターゲットとして、窒素を加えてスパッタを行う、リアクティブスパッタ法により形成する。これにより、所望する組成比、抵抗率の膜を成膜することができる。膜厚は、シート抵抗を考慮して設定され、所望の抵抗値が得られる厚みであれば、制限はない。また、スパッタ終了後、レジストを塗布、所定の形状にした後、反応性イオンエッチング（RIE）などのドライエッチング法により、簡便にパターニングすることができる。

25 なお、バイアスラインに、導体ライン1 3 a、1 3 b、1 3 cを用いずに、例えば、所定形状の薄膜抵抗6のみで構成することもできる。その際には、材料として、窒化タンタルの他にも、Ni-Cr合金などの高抵抗合金、Au、Ptなどの貴金属材料、Ni、Feなどの強磁性体材料なども、厚みを制御して用いることができる。

これら薄膜抵抗6を含むバイアスラインV 1、V 2は、本第2の実施形態では、支持基板1上に直接形成されている。これにより、素子上に形成する



際に必要となる、下部電極層 2、上部電極層 4、引き出し電極層 7 との絶縁を確保するための絶縁層が不要となり、素子を構成する層の数を低減することが可能となる。さらに、高抵抗の薄膜抵抗を用いることにより、形状を大きくすることなく、素子を作製することができる。

- 5 本第 2 の実施形態の容量可変薄膜コンデンサ回路の回路図は、図 1 と同じであり。改めて図示を省略する。

その等価回路図を、図 14 に示す。この等価回路図も、図 2 と同様であり、可変容量素子 C1 ~ C3 を絶縁抵抗 Rp1、Rp2、Rp3 に置換えた、直流に対する等価回路である。バイアスライン V1、V2 の抵抗値は、R1、R2 とする。抵抗値 R1、R2 は、薄膜抵抗 6 を含む。また端子部の入力側を I、出力側を O とする。

抵抗 R1、R2 は、バイアスライン V1、V2 がいないときの、直列接続した各可変容量素子 C1 ~ C3 にかかる電圧が、バイアスライン V1、V2 があるときにバイアスライン V1、V2 によって電圧降下された、可変容量素子 C1 ~ C3 にかかる電圧よりも小さくなるように設定する。

可変容量素子 C1 について考えると、

$$R_{p1} / (R2 + R_{p1}) > R_{p1} / (R_{p1} + R_{p2} + R_{p3})$$
が必要となり、この不等式を書き換えると、

$$R2 < R_{p2} \parallel R_{p3}$$

- 20 となる。この不等式を満たすように R2 を選ぶ。

同様に、可変容量素子 C2 について考えると

$$R_{p2} / (R1 \parallel R2 + R_{p2}) > R_{p2} / (R_{p1} + R_{p2} + R_{p3})$$

が必要となり、この不等式を書き換えると、

- 25 
$$R1 + R2 < R_{p1} + R_{p3}$$

となる。この不等式を満たすように R1、R2 を選ぶ。

同様に、可変容量素子 C3 について考えると

$$R_{p3} / (R1 + R_{p3}) > R_{p3} / (R_{p1} + R_{p2} + R_{p3})$$
が必要となり、この不等式を書き換えると、

$$R_1 < R_{p2} + R_{p3}$$

となる。この不等式を満たすように $R_1$ を選ぶ。

ここで $R_1 = R_2 = R$ 、 $R_{p1} = R_{p2} = R_{p3} = R_p = 1 \text{ G}\Omega$ とすると、

$$R < 1 \text{ G}\Omega$$

5 が必要条件になる。

なお各可変容量素子 $C_1 \sim C_3$ にかかるバイス電圧が、上述の場合の $1/10$ になる抵抗値を上限とすると、 $R < 100 \text{ M}\Omega$ となる。

また、時定数の4倍が、必要とされる応答時間 $T$ より短いことを要求すると、

10  $T > 4 * 2 * RC$

より

$$R < T / 8C$$

となる。ここで応答時間 $T = 10 \mu\text{s}$ 、容量 $C = 2 \text{ pF}$ とすると

$$R < 10 * 10^{-6} / 8 * 2 * 10^{-12} = 625 \text{ k}\Omega$$

15 となる。仮に、応答時間がミリ秒のオーダーでよければ、 $R$ の上限は $62 \text{ M}\Omega$ 程度となる。

次に、抵抗成分 $R_1$ 、 $R_2$ の下限について説明する。使用周波数 $\omega$ において、直列の可変容量素子 $C_1 \sim C_3$ は、 $C_1 + C_2$ の合成インピーダンスが、 $R_1$ より小さく、 $C_2 + C_3$ の合成インピーダンスが、 $R_2$ より小さくなる必要がある。こうすれば、 $C_1 + C_2$ の合成インピーダンスが $R_1$ になる周波数が使用周波数より小さく、 $C_2 + C_3$ の合成インピーダンスが $R_2$ になる周波数が使用周波数より小さくなる。すなわち、

$$R_1 > (C_1 + C_2) / (\omega C_1 C_2)$$

$$R_2 > (C_2 + C_3) / (\omega C_2 C_3)$$

25 ここで $R_1 = R_2 = R$ 、 $C_1 = C_2 = C_3 = C = 2 \text{ pF}$ 、使用周波数を $2 \text{ GHz}$ とすると

$$R > 2C / \omega C^2 = 2 / \omega C = 80 \Omega$$

が $R$ に求められる条件となる。

また、使用周波数の $1/10$ まで前記条件が満たされるためには、 $R > 8$

00Ωが必要となる。

以上より薄膜抵抗6を含むバイアスラインの抵抗値は、数100Ωから100MΩ程度の範囲であればよいことになる。導体ライン13の抵抗値が低い場合、バイアスラインの抵抗値はほぼ薄膜抵抗6の抵抗値と等しくなる。

すなわち、薄膜抵抗6の抵抗値は、数100Ω～100MΩ程度の範囲であれば良い。

絶縁層5は、この上に形成する引き出し電極層7と下部電極層2との絶縁を確保するために必要である。絶縁層5の材料は、樹脂や $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ など、絶縁性の高いものであれば、特に制約はないが、素子の耐湿性を向上させるために、 $\text{SiO}_2$ や $\text{Si}_3\text{N}_4$ を用いるのが好ましい。これらは、被覆性を考慮して、化学吸着体積法(CVD)などにより、成膜することが望ましい。

絶縁層5は、通常のレジストを用いるドライエッチング法などにより、所望の形状にすることができる。ただし、薄膜抵抗6と引き出し電極層7との結合を確保するための導体ライン13cの一部を露出させる必要がある。その他では、上部電極部および半田端子部のみを露出することが、耐湿性向上の観点から好ましい。

上部引き出し電極層7は、上部電極層4と一方の端子形成部(図12の12b)、および上部電極層4同士を連結するものである。その材料としては、Au、Cuなどの低抵抗な金属を用いることが望ましい。上部引き出し電極層7は、絶縁層5との密着性を考慮して、Ti、Niなどの密着層を一部に使用してもよい。

C1とC2にまたがる下部電極層2は、絶縁層5の外側で導体ライン13aと結合している。

保護層8は、素子を外部から機械的に保護するほか、薬品等による汚染から保護するものである。形成時には、端子形成部12a、12bを露出するようにする。材料としては、耐熱性が高く、段差に対する被覆性に優れたものが良く、具体的には、ポリイミド樹脂やBCB(ベンゾシクロブテン)樹脂などを用いる。

半田拡散防止層 11 は、半田端子形成の際のリフローや実装の際に、半田の電極への拡散を防止するために形成する。材料としては、Ni が好適である。また、半田拡散防止層 11 の表面には、半田濡れ性を向上させるために、半田濡れ性の高い Au、Cu などを用い、1 μm 程度形成する場合もある。

- 5      最後に、半田端子部 12a、12b を形成する。これは、実装を容易にするために形成する。半田ペーストを印刷後、リフローを行うことにより、形成するのが一般的である。

- 10      以上述べた容量可変薄膜コンデンサにおいて、可変容量素子 C1～C3 が高周波領域では直列接続される。そして、各可変容量素子 C1～C3 は、主として薄膜抵抗 R で設定される抵抗値を有するバイアスラインで、直流の領域では並列接続される。

そして、バイアスラインを支持基板上に直接形成することにより、素子を構成する層の数が低減されている。

- 15      なお、上述の容量可変薄膜コンデンサは、高周波部品の共振回路の一部（LC 共振回路の容量成分）として用いられったり、また、この共振回路を結合する容量成分として用いられったりする。したがって、容量可変薄膜コンデンサの下部電極層、上部電極層、または引き出し電極層を利用してインダクタを同時に形成したり、支持基板 1 の余白領域（容量可変薄膜コンデンサが形成されていない領域）にその他の共振回路を形成したりして、容量可変薄膜コンデンサを電圧制御型高周波共振回路部品に、さらに、その共振回路の複合部品である電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型薄膜アンテナ共用器などの高周波部品にすることができる。

#### <実施例 5>

- 25      支持基板としてサファイア R 基板上に、下部電極層 2 として Pt を、基板温度 500℃ でスパッタ法にて成膜した。薄膜誘電体層 3 として (Ba<sub>0.5</sub>Sr<sub>0.5</sub>)TiO<sub>3</sub> からなるターゲットを用い、基板温度 800℃、成膜時間は 15 分で、同一バッチでスパッタ法により成膜した。なお成膜開始前に、Pt 電極の平坦化のためのアニールとして 800℃ で 15 分間保持した。

その上に上部電極層 4 として Pt および Au 電極層を同一バッチで成膜し

た。次に、レジストを塗布し、フォトリソグラフィによりレジストを所定の形状に加工した後、ECR装置により上部電極層4をエッチングした。その後、同様に薄膜誘電体層3、下部電極層2をエッチングした。下部電極層2の形状は、導体ライン3a~3cを含むものとした。

- 5 次に、薄膜抵抗6として、窒化タンタルをスパッタ法にて100℃で成膜した。スパッタ後、レジストをフォトリソグラフィにより所定の形状にした後、RIE装置を用いてエッチングを行い、レジスト層を除去した。

- 次に、絶縁層5として、SiO<sub>2</sub>膜を、TEOSガスを原料とするCVD装置により成膜した。レジストを加工した後、RIEにより、所定の形状にエッチングを行った。

次に引き出し電極層7として、NiおよびAuをスパッタにて成膜し、所定の形状に加工した。

- 最後に保護層8、半田拡散防止層11、半田端子12a、12bを順次形成した。保護層8には、ポリイミド樹脂を、半田拡散防止層11にはNiを用いた。

薄膜抵抗の抵抗値を別途測定したところ、約100kΩであった。

- 前記で得られた容量可変薄膜コンデンサをインピーダンスアナライザにより測定した結果を図15に示す。なお、特性図中1E1は1\*10<sup>-1</sup>（すなわち10）を示し、1E3は1\*10<sup>-3</sup>を示し、1E6は1\*10<sup>-6</sup>などを示す。

図15から、1.0MHz付近でバイアスラインによる影響が見られるが、高周波領域では、影響は見られないことが確認できた。

- 容量の周波数依存性を図16に示す。1.0MHz付近で、バイアスラインの影響により、容量の増加が見られるが、高周波領域では約1pFであった。容量変化率は、DC3V印加時で約20%であった。

#### <比較例1>

比較例として、バイアスラインV1、V2がなく、他は前記実施例と同様の容量可変コンデンサ素子を作製した。この容量可変コンデンサ素子をインピーダンスアナライザにより測定した結果を図17に示す。バイアスライン

がないため、位相は $-90$ 度でほぼ一定であった。

容量の周波数依存性を図18に示す。1.  $0\text{MHz}$ 付近でも容量は約1.  $0\text{pF}$ であった。また、 $\text{DC } 3\text{V}$ 印加時の容量変化率は6%であった。また、  
5 実施例と同様の容量変化率を得るために必要な $\text{DC}$ バイアスは、 $18\text{V}$ であ  
った。

以上の実施例、比較例の結果から、本発明により、直流に対しては並列接  
続で、高周波では直列接続とれた容量可変薄膜コンデンサが得られた。また、  
バイアスラインを支持基板上に直接形成し、さらに高抵抗の薄膜抵抗を用い  
ることより、素子形状を大きくすることなく、層数を低減し、特性、信頼性  
10 を向上させることが可能となった。

いままでは、3個の可変容量素子 $C1 \sim C3$ （第1の可変容量素子 $C1$ 、  
第2の可変容量素子 $C2$ 、第3の可変容量素子 $C3$ ）を直列に接続した容量  
可変コンデンサ回路を示したが、本発明は、一般に、 $N$ 個（ $N$ は3以上の整  
数）の可変容量素子を有する容量可変コンデンサ回路にも適用できる。

15 以下、 $N=7$ の場合の容量可変コンデンサ回路を説明する。

図19は容量可変コンデンサ回路の透視状態の平面図であり、図20は作  
製途中での平面図であり、図21は図19での $E-E'$ における断面図であり、  
図22は図19での $F-F'$ での断面図であり、図23は図19での $G-G'$   
での断面図である。

20 図19乃至図23において、1は支持基板であり、2は下部電極層である。  
 $31$ 、 $32$ 、 $33$ 、 $34$ 、 $35$ は導体ラインであり、3は薄膜誘電体層であ  
り、4は薄膜誘電体層3の上に設けられた上部電極層、7は上部電極兼引き  
出し電極層である。 $61$ 、 $62$ 、 $63$ 、 $64$ 、 $65$ 、 $66$ は薄膜抵抗である。  
8は上部電極7を覆う絶縁層であり、11は半田拡散防止層であり、111、  
25 112は半田端子部である。なお、この半田拡散防止層11及び半田端子部  
111、112とで、入力端子、出力端子を構成している。また図19、図  
21において、 $C1 \sim C7$ は、バイアスにより容量が変化する可変容量素子  
を示す。

支持基板1は、アルミナなどのセラミック基板、サファイアなどの単結晶

基板などである。そして、支持基板 1 の上に下部電極層 2、薄膜誘電体層 3、上部電極層 4 を順次、支持基板の全面に成膜する。全層成膜終了後、上部電極層 4、薄膜誘電体層 3、下部電極層 2 を順次所定の形状にエッチングする。

下部電極層 2 は、薄膜誘電体層 3 の形成に高温スパッタが必要となるため、  
5 高融点であることが必要である。具体的には、Pt、Pd などである。さらに、下部電極層 2 は、その形成後、薄膜誘電体層 3 のスパッタ温度である 700~900℃へ加熱され、薄膜誘電体層 3 のスパッタ開始まで一定時間保持されることにより、平坦な膜となる。

下部電極層 2 の厚みは、出力端子（半田端子 112、半田拡散防止層 11）  
10 から第 7 の可変容量素子 C7 までの抵抗成分や、C1 から C2、C3 から C4、C5 から C6 までの抵抗成分、下部電極層 2 の連続性を考慮した場合、厚いほうが望ましいが、支持基板 1 との密着性を考慮した場合は、相対的に薄いほうが望ましく、両方を考慮して決定される。具体的には、0.1 μm~10 μm である。0.1 μm よりも薄くなると、電極自身の抵抗が大きくなる  
15 ほか、電極の連続性が確保できなくなる可能性がある。一方、10 μm より厚くすると、支持基板 1 との密着性が低下したり、支持基板 1 のそりを生じたりする恐れがある。

薄膜誘電体層 3 は、少なくとも Ba、Sr、Ti を含有するペロブスカイト型酸化物結晶粒子からなる高誘電率の誘電体層である。この薄膜誘電体層  
20 3 は、上述の下部電極層 2 の表面に形成されている。薄膜誘電体層 3 の製膜は、例えば、ペロブスカイト型酸化物結晶粒子が得られる誘電体をターゲットとして、スパッタリングを所望の厚みになる時間まで行う。基板温度を高く、例えば 800℃としてスパッタリングを行うことにより、スパッタ後の熱処理を行うことなく、高誘電率で容量変化率の大きい、低損失の薄膜誘電  
25 体層が得られる。

上部電極層 4 の材料としては、電極の抵抗を下げるため、抵抗率の小さな Au が望ましい。薄膜誘電体層 3 との密着性向上の為に、Ptなどを密着層として用いることが望ましい。この上部電極層 4 の厚みは 0.1 μm~10 μm とする。厚みの下限については、下部電極層 2 と同様に、電極自身の抵

抗を考慮して設定される。厚みの上限については、密着性を考慮して設定される。

第1入力端子側バイアスラインは、導体ライン32、33、薄膜抵抗62とから構成されている。この第1入力端子側バイアスラインは、第1の可変容量素子C1の入力端子（半田端子111、半田拡散防止層11）から第2の可変容量素子C2と第3の可変容量素子C3との接続点、即ち、第2の可変容量素子C2の上部電極7と第3の可変容量素子C3の上部電極7とを接続する引き出し電極層7との間に設けられている。

同様に、第2入力端子側バイアスラインは、導体ライン32、34、薄膜抵抗64とから構成されている。第2入力端子側バイアスラインは、前記入力端子から第4の可変容量素子C4と第5の可変容量素子C5との接続点との間に設けられている。同様に、第3入力端子側バイアスラインは、導体ライン32、35、薄膜抵抗66とから構成され、前記入力端子から第6の可変容量素子C6と第7の可変容量素子C7との接続点との間に設けられている。

第1出力端子側バイアスラインは、導体ライン31と薄膜抵抗61とから構成されており、第1の可変容量素子C1と第2の可変容量素子C2との接続点、即ち、第1の可変容量素子C1及び第2の可変容量素子C2に共通の下部電極層2と、第7の可変容量素子C7の出力端部である出力端子（半田端子112、半田拡散防止層11）との間に設けられている。

同様に、第2出力端子側バイアスラインは、導体ライン31と薄膜抵抗63とから構成され、第3の可変容量素子C3と第4の可変容量素子C4との接続点と、前記出力端子との間にもうけられている。第3出力端子側バイアスラインは、導体ライン31と薄膜抵抗65とから構成され、第5の可変容量素子C5と第6の可変容量素子C6との接続点と、前記出力端子との間に設けられている。

これらの導体ライン31、32、33、34、35は、上述の下部電極層2、薄膜誘電体層3、上部電極層4を形成した後、新たに成膜して得ることができる。その際には、リフトオフ法を用いることが望ましい。さらには、



下部電極層2のパターニングの際に導体ラインを有する形状にパターニングを行うことによっても形成できる。

この導体ラインの材料としては、バイアスラインの抵抗値のばらつきを抑制するために、低抵抗であるAuが望ましいが、薄膜抵抗61乃至66の抵抗が十分に高いので、Ptなど、下部電極層2と同様の材料、同一工程で形成してもよい。

次に、バイアスラインを構成する薄膜抵抗61乃至66の材料は、タンタルを含有し、かつその比抵抗は $1\text{ m}\Omega\text{ cm}$ 以上である。具体的な材料として、窒化タンタルやTaSiN、Ta-Si-Oを例示することができる。例えば、窒化タンタルの場合、Taをターゲットして、窒素を加えてスパッタを行う、リアクティブスパッタ法により、所望する組成比、抵抗率の膜を成膜することができる。

このスパッタの条件を適宜選択することにより、膜厚 $40\text{ nm}$ 以上で、比抵抗 $1\text{ m}\Omega\text{ cm}$ 以上の膜を作製することができる。さらに、スパッタ終了後、レジストを塗布、所定の形状にした後、反応性イオンエッチング(RIE)などのエッチングプロセスにより、簡単にパターニングすることができる。

また、本発明の容量可変薄膜コンデンサを周波数 $2\text{ GHz}$ で使用し、各可変容量素子C1～C7の容量を $7\text{ pF}$ とした場合、この周波数の $1/10$ までC1～C7が有効な直列容量であるために必要なバイアスラインの抵抗値は、約 $1\text{ k}\Omega$ 以上であればよい。本発明における薄膜抵抗の比抵抗率は $1\text{ m}\Omega\text{ cm}$ 以上であるため、例えばバイアスラインの抵抗値として $10\text{ k}\Omega$ を得る場合、薄膜抵抗のアスペクト比(長さ/幅)は、膜厚を $50\text{ nm}$ とした時、50以下とできるため、素子形状を大きくすることなく実現可能なアスペクト比を有する薄膜抵抗となる。

これら薄膜抵抗61乃至66を含むバイアスラインは、支持基板1上に直接形成されている。これにより、素子上に形成する際に必要となる、下部電極層2、上部電極層4、引き出し電極層7との絶縁を確保するための絶縁層が不要となり、素子を構成する層の数を低減することが可能となる。さらに、高抵抗の薄膜抵抗を用いることにより、形状を大きくすることなく、素子を

作成することができる。

次に、絶縁層 5 は、この上に形成する引き出し電極層 7 と下部電極層 2 との絶縁を確保するために必要である。さらに、この絶縁層 5 は、バイアスラインを被覆しており、薄膜抵抗が酸化されるのを防止できるため、バイアス  
5 ラインの抵抗値を経時的に一定とすることができ、信頼性が向上する。絶縁層 5 の材料は耐湿性を向上させるために、窒化ケイ素および酸化ケイ素の少なくとも 1 種類よりなるものとする。これらは、被覆性を考慮して、化学吸着堆積法 (CVD) などにより、成膜することが望ましい。

絶縁層 5 は、通常のレジストを用いるドライエッチング法などにより、所  
10 望の形状にすることができる。ただし、薄膜抵抗 61 乃至 66 と引き出し電極層 7 との結合を確保するための導体ライン 33-35 の一部を露出させる必要がある。

その他では、上部電極部および半田端子部のみを露出させることが、耐湿性向上の観点から好ましい。

15 引き出し電極層 7 は、第 1 の可変容量素子 C1 の上部電極層 4 と一方の端子形成部 111、または上部電極層 4 同士を連結させるものである。具体的には、第 1 の可変容量素子 C1 を端子形成部 111 に接続するとともに、第 2 の可変容量素子 C2 と第 3 の可変容量素子 C3、第 4 の可変容量素子 C4 と第 5 の可変容量素子 C5、第 6 の可変容量素子 C6 と第 7 の可変容量素子  
20 C7、各々の上部電極層 4 同士を直列接続するものである。

さらには、C2 と C3、C4 と C5、C6 と C7 の各々にまたがる引き出し電極層 7 は、絶縁層 5 の外側でそれぞれ導体ライン 33、34、35 と結合している。

引き出し電極層 7 の材料としては、Au、Cu などの低抵抗な金属を用い  
25 ることが望ましい。また、引き出し電極層 7 は、絶縁層 5 との密着性を考慮して、Ti、Ni、などの密着層を使用してもよい。

次に、保護層 8 を形成する。保護層 8 は、素子を外部から機械的に保護するほか、薬品等による汚染から保護する。形成時には、端子形成部 111、112 を露出するようにする。材料としては、耐熱性が高く、段差に対する

被覆性が優れたものが良く、具体的には、ポリイミド樹脂やBCB（ベンゾシクロブテン）樹脂などを用いる。

- 5 半田拡散防止層 11 は、半田端子形成の際のリフローや実装の際に、半田の電極への拡散を防止するために形成する。材料としては、Ni が好適である。また、半田拡散防止層の表面には、半田濡れ性を向上させるために、半田濡れ性の高いAu、Cuなどを0.1  $\mu\text{m}$ 程度形成する場合もある。

最後に、半田端子部 111、112 を形成する。これは、実装を容易にするために形成する。半田ペーストを印刷後、リフローを行うことにより、形成するのが一般的である。

- 10 以上述べた容量可変薄膜コンデンサ素子において、可変容量素子C1～C7が直列接続され、しかも各可変容量素子C1～C7は、主として薄膜抵抗61～66で設定される抵抗値を有するバイアスラインで接続される。この構成により、可変容量素子C1～C7は、高周波の領域においては直列接続され、直流の領域においては並列接続される。

- 15 また、バイアスラインもしくはその一部に窒化タンタルを含有し、かつ比抵抗が1 m $\Omega$  cm以上薄膜抵抗を用いることにより、薄膜抵抗のアスペクト比を低減して素子の小型化を実現している。さらには、バイアスラインを支持基板上に直接形成することにより、素子を構成する層の数が低減されている。

- 20 また、上述の容量可変薄膜コンデンサ素子は、高周波部品の共振回路の一部（LC共振回路の容量成分）として用いられったり、また、この共振回路を結合する容量成分として用いられったりする。したがって、容量可変薄膜コンデンサ素子の下部電極層、上部電極層、または引き出し電極層を利用してインダクタを同時に形成したり、支持基板1の余白領域（容量可変薄膜コンデンサ素子が形成されていない領域）にその他の共振回路を形成したりて、  
25 容量可変薄膜コンデンサ素子を電圧制御型高周波共振回路部品に、さらに、その共振回路の構成部品である電圧制御型高周波フィルタ、電圧制御型整合回路素子および電圧制御型薄膜アンテナ共用器などの高周波部品にすることができ。

## &lt;実施例 A&gt;

支持基板としてサファイアR基板上に、下部電極層2としてPtを、基板温度500℃でスパッタ法にて成膜した。薄膜誘電体層3として(Ba<sub>0.6</sub>Sr<sub>0.4</sub>)TiO<sub>3</sub>からなるターゲットを用い、基板温度は800℃、成膜時間は15分で、同一バッチでスパッタ法にて成膜した。なお成膜開始前に、Pt電極の平坦化のためのアニールとして800℃で15分間保持した。

その上に上部電極層4としてPtおよびAu電極層を同一バッチで成膜した。次に、レジストを塗布し、フォトリソグラフィによりレジストを所定の形状に加工した後、ICR装置により上部電極層4をエッチングした。その後、同様に薄膜誘電体層3、下部電極層2をエッチングした。下部電極層2の形状は、導体ライン31~35を含むものとした。

次に、薄膜抵抗61~66として、窒化タンタルをスパッタ法にて100℃で成膜した。スパッタ後、レジストをフォトリソグラフィにより所定の形状にした後、RIE装置を用いてエッチングを行い、レジスト層を除去した。

15 薄膜抵抗のアスペクト比は全て20とした。

次に、絶縁層5として、SiO<sub>2</sub>膜を、TEOSガスを原料とするCVD装置により成膜した。レジストを加工した後、RIEにより、所定の形状にエッチングを行った。

次に引き出し電極層7として、NiおよびAuをスパッタにて成膜し、所定の形状に加工した。

最後に保護層8、半田拡散防止層11、半田端子111、112を順次形成した。保護層8には、ポリイミド樹脂を、半田拡散防止層11にはNiを用いた。

薄膜抵抗の抵抗値を別途測定したところ、約100kΩであった。

25 前記で得られた容量可変薄膜コンデンサ素子をインピーダンスアナライザにより測定した結果を図24に示す。1.0MHz付近でバイアスラインによる影響が見られるが、高周波領域では、影響は見られないことが確認できた。

容量の周波数依存性を図25に示す。1.0MHz付近で、バイアスライ

ンの影響により、容量の増加が見られるが、高周波領域では約 1 pF であった。容量変化率は、DC 3 V 印加時で約 20% であった。

＜比較例 2＞

比較例として、バイアスラインがなく、他は実施例と同様の容量可変コン  
5 デンサ素子を作製した。

この容量可変コンデンサ素子をインピーダンスアナライザにより測定した  
結果を図 26 に示す。バイアスラインがないため、位相は -90 度でほぼ一  
定であった。

容量の周波数依存性を図 27 に示す。1. 0 MHz 付近でも容量は約 1.  
10 0 pF であった。また、DC 3 V 印加時の容量変化率は 2.9% であった。  
また、実施例と同様の容量変化率を得るために必要な DC バイアスは、21  
V であった。

以上の実施例、比較例の結果から、本発明により、直流に対しては並列接  
続で、高周波では直列接続された容量可変薄膜コンデンサが得られた。また、  
15 バイアスラインを支持基板上に直接形成し、さらに高抵抗の薄膜抵抗を用い  
ることより、素子形状を大きくすることなく、層数を低減し、特性、信頼性  
を向上させることが可能となった。

以上で本発明の実施形態を説明したが、本発明の実施は、前記の形態に限  
定されるものではなく、本発明の範囲内で種々の変更を施すことが可能であ  
20 る。